

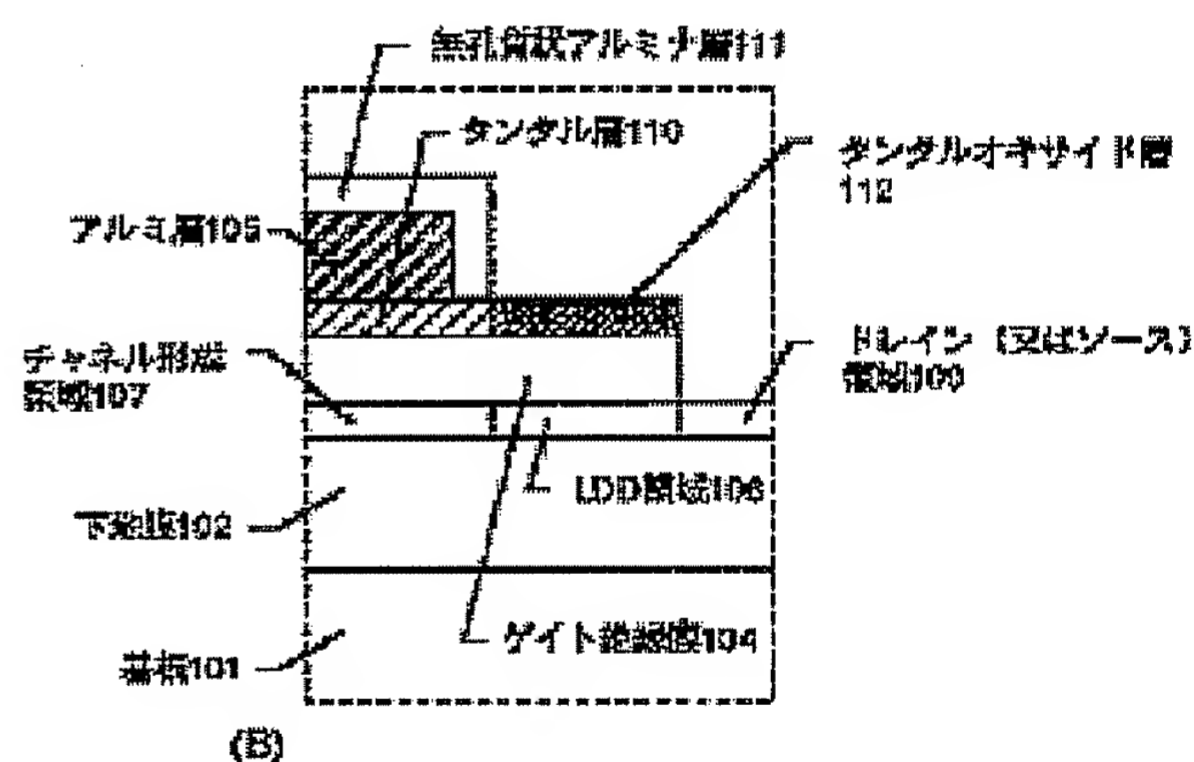
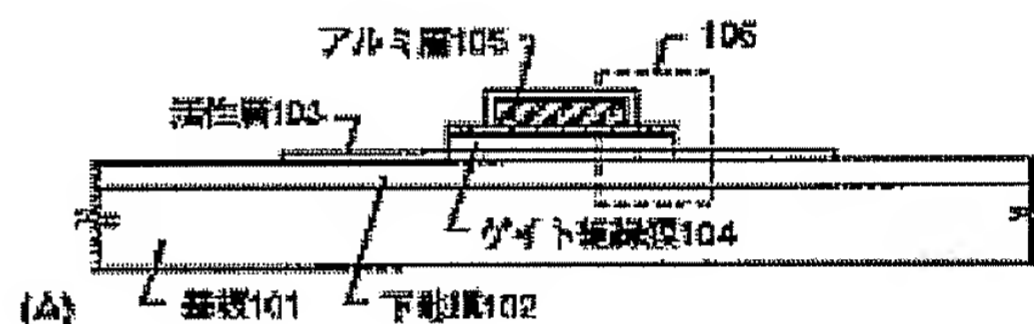
SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent number: JP11177105
Publication date: 1999-07-02
Inventor: YAMAZAKI SHUNPEI; FUKUNAGA KENJI
Applicant: SEMICONDUCTOR ENERGY LAB
Classification:
- international: **H01L21/336; H01L29/786; H01L21/02; H01L29/66;**
(IPC1-7): H01L29/786; H01L21/336
- european:
Application number: JP19970363444 19971215
Priority number(s): JP19970363444 19971215

Report a data error here

Abstract of JP11177105

PROBLEM TO BE SOLVED: To perform TFT using an aluminum material as a gate electrode with a high yield. **SOLUTION:** A gate electrode provided on an active layer 103 and a gate insulation film 104 is composed of a laminated film of a tantalum layer 110 and an aluminum layer 105. In the structure, the tantalum layer 110 becomes a stopper and the component material of the aluminum layer 105 is prevented from intruding into the gate insulation film. Also, the end part of the tantalum layer 110 becomes tantalum oxide 112, and the effect of reducing ion injection damages to the gate insulation film at the time forming an LDD area is provided.



Data supplied from the **esp@cenet** database - Worldwide

Family list7 family members for: **JP11177105**

Derived from 6 applications

- 1 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**
Inventor: YAMAZAKI SHUNPEI; FUKUNAGA KENJI **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: **IPC:** H01L21/336; H01L29/786; H01L21/02 (+)
Publication info: **JP11177105 A** - 1999-07-02
- 2 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**
Inventor: OTANI HISASHI; ADACHI HIROKI **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: **IPC:** H01L23/52; H01L21/3205; H01L29/786 (+5)
Publication info: **JP11261074 A** - 1999-09-24
- 3 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**
Inventor: YAMAZAKI SHUNPEI; OTANI HISASHI; **Applicant:** SEMICONDUCTOR ENERGY LAB (+1)
EC: **IPC:** H01L29/786; H01L21/336; H01L29/66 (+)
Publication info: **JP11261075 A** - 1999-09-24
- 4 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**
Inventor: FUJIMOTO ETSUKO; OTANI HISASHI; **Applicant:** SEMICONDUCTOR ENERGY LAB (+1)
EC: **IPC:** H01L29/786; H01L21/336; H01L29/66 (+)
Publication info: **JP11261076 A** - 1999-09-24
- 5 Semiconductor device and method of manufacturing the semiconductor device**
Inventor: YAMAZAKI SHUNPEI (JP); OHTANI HISASHI (JP); (+4) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: H01L21/336D2B; H01L29/45S2; (+2) **IPC:** H01L21/336; H01L29/45; H01L29/49 (+6)
Publication info: **US6369410 B1** - 2002-04-09
- 6 Semiconductor device and method of manufacturing the semiconductor device**
Inventor: YAMAZAKI SHUNPEI (JP); OHTANI HISASHI (JP); (+4) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: H01L21/336D2B; H01L29/45S2; (+2) **IPC:** H01L21/336; H01L29/45; H01L29/49 (+5)
Publication info: **US6613614 B2** - 2003-09-02
US2002096681 A1 - 2002-07-25

Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-177105

(43) 公開日 平成11年(1999) 7 月 2 日

(51) Int. Cl. ⁶

識別記号

F I

H01L 29/786

H01L 29/78

617 L

21/336

616 A

616 M

617 J

審査請求 未請求 請求項の数14 F D (全13頁)

(21) 出願番号 特願平9-363444

(22) 出願日 平成9年(1997)12月15日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 福永 健司

神奈川県厚木市長谷398番地 株式会社半

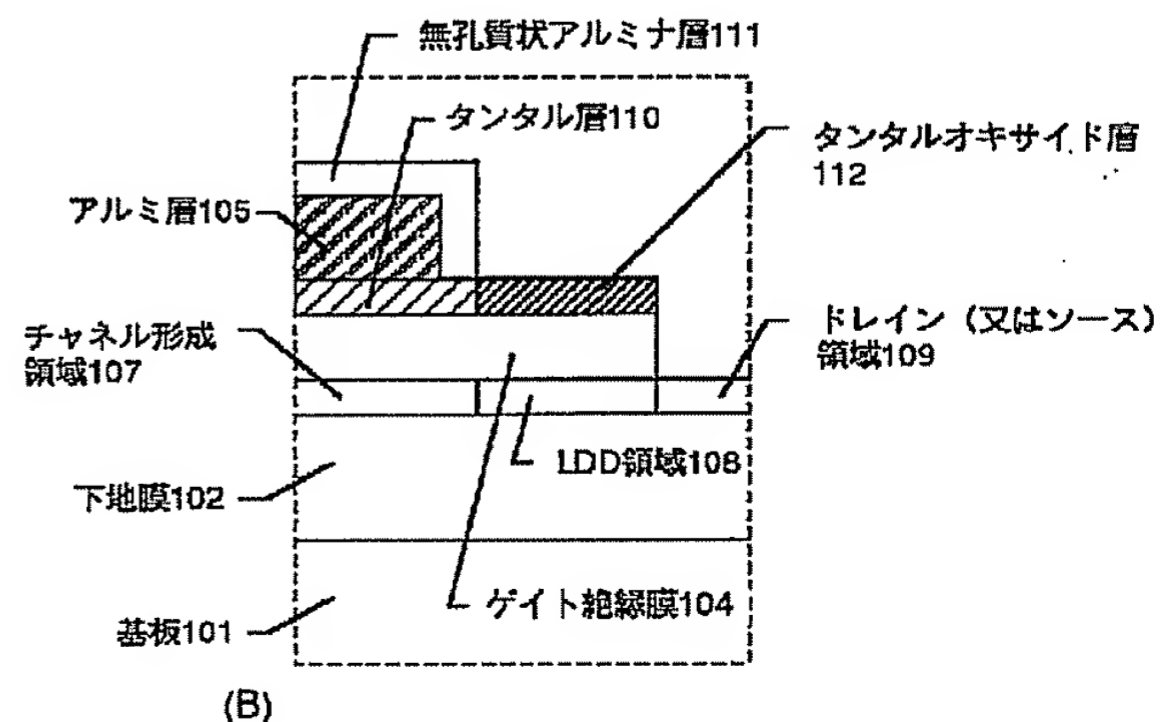
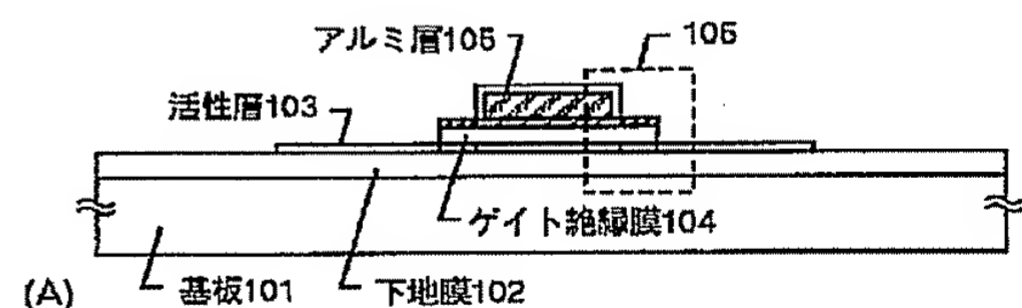
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 ゲイト電極としてアルミ材料を用いたT F Tを高い歩留りで実現するための技術を提供する。

【解決手段】 活性層103、ゲイト絶縁膜104の上に設けられたゲイト電極をタンタル層110とアルミニウム層105との積層膜で構成する。この構造ではタンタル層110がストッパーとなり、アルミニウム層105の成分物質がゲイト絶縁膜中へ侵入するのを防ぐことができる。また、タンタル層110の端部はタンタルオキサイド112となり、LDD領域を形成する上でゲイト絶縁膜へのイオン注入ダメージを低減する効果を持つ。



【特許請求の範囲】

【請求項 1】同一基板上に形成された複数の T F T で構成される半導体回路を構成に含む半導体装置であって、前記 T F T は活性層、ゲイト絶縁膜並びにタンタル層とアルミニウムまたはアルミニウムを主成分とする材料層とを積層してなるゲイト電極を有し、

前記タンタル層は、前記アルミニウムまたはアルミニウムを主成分とする材料層の構成元素が前記ゲイト絶縁膜中へ侵入するのを防ぐブロッキング層として機能しうる膜厚を有することを特徴とする半導体装置。

【請求項 2】請求項 1 において、前記タンタル層の膜厚は 5 ～ 200 nm であることを特徴とする半導体装置。

【請求項 3】同一基板上に形成された複数の T F T で構成される半導体回路を構成に含む半導体装置であって、前記 T F T は活性層、ゲイト絶縁膜並びにタンタル層とアルミニウムまたはアルミニウムを主成分とする材料層とを積層してなるゲイト電極を有し、

前記タンタル層のうち、前記アルミニウムまたはアルミニウムを主成分とする材料層と重ならない領域にはタンタルオキサイド層が形成されていることを特徴とする半導体装置。

【請求項 4】同一基板上に形成された複数の T F T で構成される半導体回路を構成に含む半導体装置であって、前記 T F T は活性層、ゲイト絶縁膜並びにタンタル層とアルミニウムまたはアルミニウムを主成分とする材料層とを積層してなるゲイト電極を有し、

前記タンタル層の端部は前記アルミニウムまたはアルミニウムを主成分とする材料層の外側に突出しており、当該突出した端部にはタンタルオキサイド層が形成されていることを特徴とする半導体装置。

【請求項 5】請求項 3 または請求項 4 において、前記タンタルオキサイド層は前記タンタル層の一部を陽極酸化して得られた層であることを特徴とする半導体装置。

【請求項 6】請求項 3 または請求項 4 において、前記タンタルオキサイド層は前記タンタル層の膜厚の 2 ～ 4 倍の膜厚を有することを特徴とする半導体装置。

【請求項 7】同一基板上に形成された複数の T F T で構成される半導体回路を構成に含む半導体装置であって、前記 T F T は活性層、ゲイト絶縁膜並びにタンタル層とアルミニウムまたはアルミニウムを主成分とする材料層とを積層してなるゲイト電極を有し、

前記タンタル層の端部は前記アルミニウムまたはアルミニウムを主成分とする材料層の外側に突出しており、前記活性層に含まれるソース又はドレイン接合部の位置は、当該突出した端部によって画定されていることを特徴とする半導体装置。

【請求項 8】請求項 1 乃至請求項 7 において、前記アルミニウムまたはアルミニウムを主成分とする材料層の表面には無孔質状アルミナ層が形成されていることを特徴とする半導体装置。

【請求項 9】請求項 1 乃至請求項 7 において、前記活性層には L D D 領域が設けられ、当該 L D D 領域の上には概略同一の形状でタンタルオキサイド層が形成されていることを特徴とする半導体装置。

【請求項 1 0】請求項 9 において、前記タンタルオキサイド層は前記タンタル層の膜厚の 2 ～ 4 倍の膜厚を有することを特徴とする半導体装置。

【請求項 1 1】同一基板上に形成された複数の T F T で構成される半導体回路を構成に含む半導体装置の作製方法であって、

活性層及びゲイト絶縁膜を形成する第 1 の工程と、タンタル層とアルミニウムまたはアルミニウムを主成分とする材料層とを順次積層形成してなるゲイト電極を形成する第 2 の工程と、

前記アルミニウムまたはアルミニウムを主成分とする材料層のみを選択的に陽極酸化して多孔質状アルミナ層を形成する第 3 の工程と、

再度の陽極酸化により前記アルミニウムまたはアルミニウムを主成分とする材料層の表面に無孔質状アルミナ層を形成すると同時に、前記多孔質状アルミナ層の下に位置するタンタル層の全部又は一部をタンタルオキサイド層に変成させる第 4 の工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項 1 2】同一基板上に形成された複数の T F T で構成される半導体回路を構成に含む半導体装置の作製方法であって、

活性層及びゲイト絶縁膜を形成する第 1 の工程と、タンタル層とアルミニウムまたはアルミニウムを主成分とする材料層とを順次積層形成してなるゲイト電極を形成する第 2 の工程と、

前記アルミニウムまたはアルミニウムを主成分とする材料層のみを選択的に陽極酸化して多孔質状アルミナ層を形成する第 3 の工程と、

再度の陽極酸化により前記アルミニウムまたはアルミニウムを主成分とする材料層の表面に無孔質状アルミナ層を形成すると同時に、前記多孔質状アルミナ層の下に位置するタンタル層の全部又は一部をタンタルオキサイド層に変成させる第 4 の工程と、

前記無孔質状アルミナ層及び前記多孔質状アルミナ層をマスクとしてゲイト絶縁膜をエッチングする第 5 の工程と、

前記ゲイト電極、タンタルオキサイド層及びゲイト絶縁膜をマスクとして N 型または P 型を付与する不純物を添加する第 6 の工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項 1 3】請求項 1 1 または請求項 1 2 において、前記第 3 の工程はシュウ酸を主成分とする溶液中で行われることを特徴とする半導体装置の作製方法。

【請求項 1 4】請求項 1 1 または請求項 1 2 において、前記第 4 の工程は酒石酸を主成分とする溶液中で行われ

10

20

30

40

50

ることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本願発明は半導体薄膜を利用した薄膜トランジスタ（以下、TFTと略記する）のゲイト電極構造に関する技術である。

【0002】

【従来の技術】近年、ガラス基板または石英基板上に形成されたTFTでもって画素マトリクス回路及び駆動回路を構成したアクティブマトリクス型液晶表示装置（以下、AMLCDと略記する）が注目を浴びている。

【0003】この様なAMLCDは0.5～2インチ程度のプロジェクター向けのものから10～20インチ程度のノートパソコン向けのものまであり、主に小型から中型までの表示ディスプレイとして利用されている。

【0004】AMLCDが中型化すると画像表示部となる画素マトリクス回路の面積は大きくなり、マトリクス状に配列されたソース線及びゲイト線は大きな付加容量を有するようになる。

【0005】そのため、配線としてアルミニウムまたはアルミニウムを主成分とする材料（以下、アルミ材料と略記する）を用いることが有力視されている。

【0006】しかしながら、本発明者らが動作不良を起こしたTFTを不良解析した結果、ゲイト電極／チャンネル間においてショート（短絡）が生じている可能性があることが判明した。

【0007】これはゲイト絶縁膜で絶縁されているにも拘らず何らかの原因でゲイト電極とチャンネルがショートしまい、TFTが動作不良を起こしたものと予想される。この要因としては以下の三つが考えられる。

【0008】（1）アルミ原子がゲイト絶縁膜中に拡散し、ゲイト絶縁膜を介して接するチャンネルへ到達してしまった。

（2）アルミ材料から生ずるヒロック、ウィスカー等の突起物がゲイト絶縁膜を突き抜けてチャンネルへ到達してしまった。

（3）ゲイト絶縁膜にピンホールが存在し、熱処理の際にアルミ原子が流動してピンホール内に入り込み、チャンネルへ到達してしまった。

【0009】以上の様な要因が考えられるが、現状では明確なメカニズムは不明である。しかし、ゲイト電極／チャンネル間でのショートが原因であることはほぼ間違いなく、上記三つのいずれかが原因となっている可能性が高い。

【0010】

【発明が解決しようとする課題】本願発明はゲイト電極としてアルミ材料を用いたTFTを高い歩留りで実現するための技術を提供することを課題とする。

【0011】そのために、ゲイト電極とチャンネル（活性層）とのショートを防ぐための技術を提供することを課

題とする。また、同時にLDD領域の新規な形成方法を提供することを課題とする。

【0012】

【課題を解決するための手段】本明細書で開示する発明の構成は、同一基板上に形成された複数のTFTで構成される半導体回路を構成に含む半導体装置であって、前記TFTは活性層、ゲイト絶縁膜並びにタンタル層とアルミニウムまたはアルミニウムを主成分とする材料層とを積層してなるゲイト電極を有し、前記タンタル層は、前記アルミニウムまたはアルミニウムを主成分とする材料層の構成元素が前記ゲイト絶縁膜中へ侵入するのを防ぐブロッキング層として機能しうる膜厚を有することを特徴とする。

【0013】本願発明の主旨は、従来アルミ材料のみで構成されていたゲイト電極をタンタル／アルミ積層膜（タンタルが下層）とすることでアルミ成分がゲイト絶縁膜中へと侵入するのを防ぐことにある。即ち、下層に設けられたタンタル層をアルミ成分のブロッキング層として利用するのである。

【0014】従って、タンタル層の膜厚はアルミ成分の移動に対して十分に障壁として機能しうる程度に厚くなければならない。本発明者らの知見では5nm厚以上のタンタル層が必要である。これ以下ではブロッキング効果を期待できない。

【0015】また、上限としては200nm程度と考えている。これ以上ではゲイト電極のトータル膜厚を抑える（段差低減のため）ためにアルミ材料を薄くしなければならず、アルミニウムの低抵抗性という特徴を活かすことができない。

【0016】以上の事からタンタル層の膜厚は5～200nm（好ましくは10～100nm、さらに好ましくは20～50nm）の範囲から選択することが好ましいと言える。

【0017】なお、タンタル膜はアルミニウム膜と同じ電解溶液で陽極酸化処理を行いやすいという特徴があり、さらに陽極酸化層の形成形態（酸化層の形成過程の進行方向など）もアルミニウム膜のそれに近いことから本願発明に用いるに好適な材料である。

【0018】また、他の発明の構成は、同一基板上に形成された複数のTFTで構成される半導体回路を構成に含む半導体装置であって、前記TFTは活性層、ゲイト絶縁膜並びにタンタル層とアルミニウムまたはアルミニウムを主成分とする材料層とを積層してなるゲイト電極を有し、前記タンタル層のうち、前記アルミニウムまたはアルミニウムを主成分とする材料層と重ならない領域にはタンタルオキサイド層が形成されていることを特徴とする。

【0019】また、他の発明の構成は、同一基板上に形成された複数のTFTで構成される半導体回路を構成に含む半導体装置であって、前記TFTは活性層、ゲイト絶縁膜並びにタンタル層とアルミニウムまたはアルミニ

ウムを主成分とする材料層とを積層してなるゲイト電極を有し、前記タンタル層の端部は前記アルミニウムまたはアルミニウムを主成分とする材料層の外側に突出しており、当該突出した端部にはタンタルオキサイド層が形成されていることを特徴とする。

【0020】また、他の発明の構成は、同一基板上に形成された複数のTFTで構成される半導体回路を構成に含む半導体装置であって、前記TFTは活性層、ゲイト絶縁膜並びにタンタル層とアルミニウムまたはアルミニウムを主成分とする材料層とを積層してなるゲイト電極を有し、前記タンタル層の端部は前記アルミニウムまたはアルミニウムを主成分とする材料層の外側に突出しており、前記活性層に含まれるソース又はドレイン接合部の位置は、当該突出した端部によって画定されていることを特徴とする。

【0021】本願発明の特徴の一つとして、タンタル層の一部を陽極酸化して得られたタンタルオキサイド層を、LDD領域を形成する際のマスクとして利用する点が挙げられる。即ち、活性層に対してタンタルオキサイド層を介したスルードーピングを行い、タンタルオキサイド層の下にLDD領域を形成する。

【0022】そのため、活性層に設けられたLDD領域の上には概略同一の形状でタンタルオキサイド層が形成されているという構造の特徴がある。

【0023】また、他の発明の構成は、同一基板上に形成された複数のTFTで構成される半導体回路を構成に含む半導体装置の作製方法であって、活性層及びゲイト絶縁膜を形成する第1の工程と、タンタル層とアルミニウムまたはアルミニウムを主成分とする材料層とを順次積層形成してなるゲイト電極を形成する第2の工程と、前記アルミニウムまたはアルミニウムを主成分とする材料層のみを選択的に陽極酸化して多孔質状アルミナ層を形成する第3の工程と、再度の陽極酸化により前記アルミニウムまたはアルミニウムを主成分とする材料層の表面に無孔質状アルミナ層を形成すると同時に、前記多孔質状アルミナ層の下に位置するタンタル層の全部又は一部をタンタルオキサイド層に変成させる第4の工程と、を有することを特徴とする。

【0024】また、他の発明の構成は、同一基板上に形成された複数のTFTで構成される半導体回路を構成に含む半導体装置の作製方法であって、活性層及びゲイト絶縁膜を形成する第1の工程と、タンタル層とアルミニウムまたはアルミニウムを主成分とする材料層とを順次積層形成してなるゲイト電極を形成する第2の工程と、前記アルミニウムまたはアルミニウムを主成分とする材料層のみを選択的に陽極酸化して多孔質状アルミナ層を形成する第3の工程と、再度の陽極酸化により前記アルミニウムまたはアルミニウムを主成分とする材料層の表面に無孔質状アルミナ層を形成すると同時に、前記多孔質状アルミナ層の下に位置するタンタル層の全部又は一

部をタンタルオキサイド層に変成させる第4の工程と、前記無孔質状アルミナ層及び前記多孔質状アルミナ層をマスクとしてゲイト絶縁膜をエッチングする第5の工程と、前記ゲイト電極、タンタルオキサイド層及びゲイト絶縁膜をマスクとしてN型またはP型を付与する不純物を添加する第6の工程と、を有することを特徴とする。

【0025】なお、上記構成において第3の工程はシュウ酸を主成分とする溶液中で行われる。この様な溶液中ではアルミ材料のみが選択的に陽極酸化され、タンタル層はそのまま残る。

【0026】また、第4の工程は酒石酸を主成分とする溶液中で行われる。この溶液中ではアルミ材料とタンタル層との両方が陽極酸化される。この処理によりアルミ材料は緻密な無孔質状アルミナ層で覆われ、タンタル層の一部（溶液と接する部分）がタンタルオキサイド層に変成する。

【0027】

【発明の実施の形態】本願発明の実施形態について図1を用いて説明する。図1(A)は本願発明を利用したチャネル方向（キャリアが移動する方向）に沿った断面図である。ただし、ゲイト電極を覆う層間絶縁膜やソース／ドレイン電極等は省略してある。

【0028】図1(A)において、101は基板、102は下地膜（絶縁性珪素膜）である。下地膜を設ける場合、基板101はガラス（結晶化ガラスも含む）、シリコンウェハ、セラミックス、石英などを用いることができる。石英を用いる場合には下地膜がなくても構わない。

【0029】また、103は活性層であり、半導体薄膜（代表的には多結晶ポリシリコン膜）を島状にパターン形成して得られる。本願発明は活性層103としてどのような半導体薄膜を用いても構わない。

【0030】例えば、スマートカット法を利用したSOI基板（UNIBOND）またはSIMOX基板を用いることができる。その場合、活性層を単結晶シリコンで形成できるので非常に動作性能の高いTFTが実現できる。

【0031】活性層103の上にはゲイト絶縁膜104を介してゲイト電極が配置されている。ゲイト電極はアルミ層105を主として構成され、アルミ材料の低抵抗性を活かして信号遅延の小さいTFTが実現される。

【0032】ここで106で示される点線で囲まれた領域の拡大図を図1(B)に示す。図1(B)に示す様に、活性層103はチャネル形成領域107、LDD（Lightly Doped Drain）領域108、ドレイン（又はソース）領域109で構成され、チャネル形成領域107及びLDD領域108上にゲイト絶縁膜104が設けられている。

【0033】なお、ゲイト絶縁膜は酸化珪素膜、窒化珪素膜、酸化窒化珪素膜（SiO_xN_yで表される）または

10

20

30

40

50

それらの積層膜で構成される。

【0034】特に、窒化珪素膜はイオンブロッキング効果が高いのでゲイト絶縁膜の一部として用いることは有効である。また、酸化窒化珪素膜は酸化珪素膜と窒化珪素膜の両者の物性を併せ持つためゲイト絶縁膜として適している。

【0035】また、積層構造は二層に限らず複数層でも構わない。例えば、酸化珪素／窒化珪素／酸化珪素の三層構造からなる積層膜（ONO膜と呼ばれる）は信頼性が高いので本願発明のゲイト絶縁膜として好適である。 10

【0036】また、ゲイト電極はタンタル層 1 1 0、アルミ層 1 0 5 の順に積層され、陽極酸化処理によってアルミ層 1 0 5 の一部は無孔質状アルミナ層 1 1 1 となり、タンタル層 1 1 0 の一部はタンタルオキサイド層 1 1 2 となっている。

【0037】なお、上述の陽極酸化の際、アルミ層 1 0 5 及び無孔質状アルミナ層 1 1 1 と重ならないタンタル層のみが陽極酸化され、図 1 (B) に示す様に、アルミ層 1 0 5 の外側に突出した様な形でタンタルオキサイド層が形成される。 20

【0038】また、ソース／ドレイン領域を形成する際はタンタルオキサイド層 1 1 2 をマスクとして利用してその下の不純物濃度を意図的に低くし、LDD領域 1 0 8 を形成することができる。従って、ドレイン（又はソース）領域 1 0 9 と LDD 領域 1 0 8 との接合部（ソース又はドレイン接合部）の位置は、タンタルオキサイドの端部（突出した端部）によって自己整合的に画定される。

【0039】以上の構成からなる本願発明の構成について、以下に記載する実施例でもって詳細な説明を行うこととする。 30

【0040】

【実施例】〔実施例 1〕本願発明を利用した TFT の作製工程について図 2 を用いて説明する。なお、本願発明はゲイト電極の形成からソース／ドレイン領域の形成までに特徴があり、その他の部分は公知の技術を利用できる。従って、本願発明は本実施例の作製工程に限定されるものではない。

【0041】まず、基板 2 0 1 としてガラス基板を用意し、その上に下地膜 2 0 2 として酸化珪素（酸化シリコン）膜を 200nm 厚に形成する。そして、その上に公知の手段により活性層 2 0 3 を形成する。活性層 2 0 3 の膜厚は 10～100 nm（好ましくは 15～75nm、さらに好ましくは 20～45nm）とする。（図 2 (A)） 40

【0042】活性層 2 0 3 は単結晶シリコン膜、多結晶シリコン膜（ポリシリコン膜）、非晶質シリコン膜（アモルファスシリコン膜）のいずれを用いても良いが、動作速度を上げるためには単結晶シリコンか多結晶シリコンを用いた方が良い。

【0043】前述の様に単結晶シリコン膜を用いるなら 50

ばスマートカット法を利用した UNIBOND 基板、酸素イオン注入法を用いた SIMOX 基板等を用いることが望ましい。この場合、シリコン基板と下地膜とが一体化して得られるので改めて下地膜を設ける必要はない。

【0044】また、多結晶シリコン膜を用いるならば直接成膜か非晶質シリコン膜を結晶化して得ることができる。結晶化手段はエキシマレーザー照射によるレーザーアニール、赤外または紫外光照射によるランプアニール、或いは電熱炉を利用したファーンズアニールを用い 10
れば良い。さらに、本発明者らによる特開平 7-130652 号公報記載の技術を併用しても良い。

【0045】こうして図 2 (A) の状態が得られたら酸化窒化珪素膜からなるゲイト絶縁膜 2 0 4 を形成し、さらに 50nm 厚のタンタル層 2 0 5、350nm 厚のアルミニウム層 2 0 6 を順次積層形成する。なお、本実施例ではアルミニウム層 2 0 6 として 2wt% のスカンジウムを含有させたアルミニウム層を利用する。

【0046】また、タンタル層 2 0 5、アルミニウム層 2 0 6 は気相法（代表的にはスパッタリング法）で形成 20
すれば良い。（図 2 (B)）

【0047】次に、タンタル層 2 0 5 及びアルミニウム層 2 0 6 をドライエッチング法またはウェットエッチング法によりエッチングして後のゲイト電極の原型となる積層パターン 2 0 7 を形成する。

【0048】ドライエッチング用のエッチングガスとしてはアルミニウム層のエッチングには塩素系ガス、タンタル層のエッチングにはフッ素系ガスという様に使い分ければ連続的に処理することが可能である。なお、タンタル層が 50nm 程度と薄い場合には塩素系ガスでアルミニウム層とタンタル層とを一括でエッチングできることが 30
確認されている。（図 2 (C)）

【0049】なお、積層パターン 2 0 7 のパターニングにはレジストマスク（図示せず）を利用しているが、レジストマスクを形成する前にアルミニウム層の表面を薄い陽極酸化膜で覆っておくと密着性が向上する。

【0050】次に、レジストマスクを残したまま 3% シュウ酸水溶液中で到達電圧 8 V の陽極酸化処理を行い、600～800 nm 厚の多孔質状アルミナ層 2 0 8 を形成する。この溶液中ではタンタル層は陽極酸化されずに残 40
り、アルミニウム層のみが選択的に陽極酸化される。（図 2 (D)）

【0051】さらに、図示しないレジストマスクを除去した後、3% の酒石酸を含むエチレングリコール溶液中で到達電圧 80 V の陽極酸化処理を行う。この処理ではアルミニウム層とタンタル層との両方が陽極酸化される。（図 2 (E)）

【0052】タンタル層 2 0 5 の方は多孔質状アルミナ層 2 0 8 に接する部分だけが陽極酸化されてタンタルオキサイド層 2 0 9 を形成する。これはその部分だけが多孔質状アルミナ層 2 0 8 の内部を浸透してきた電解溶液

に触れるためである。

【0053】また、アルミニウム層206の方はその表面（多孔質状アルミナ層の内側）に100~120 nm厚の無孔質状アルミナ層210が形成される。無孔質状アルミナ層210の膜厚は到達電圧によって決定される。

【0054】ここで、図2（E）に示す状態を示すSEM写真を図10（A）に示す。なお、図10（A）は図2（E）の構造を実験的に再現したサンプルを4万倍に拡大したSEM写真であり、多孔質状アルミナ層付近の様子を示している。

【0055】また、図10（A）の模式図を図10（B）に示す。図10（B）において、10は酸化珪素膜でなる下地、11はタンタル層、12はアルミニウム層、13はタンタルオキサイド層、14は無孔質状アルミナ層、15は多孔質状アルミナ層である。

【0056】図10（B）に示す様に、アルミニウム層12の表面は無孔質状アルミナ層14で覆われ、その外側に多孔質状アルミナ層15が形成されている。そして、タンタル層11の端部（多孔質状アルミナ層の下）にはタンタルオキサイド層13が形成されている。

【0057】なお、図10（A）に示す写真で見ると、タンタル層は陽極酸化処理によってタンタルオキサイド層に変成する際に約2倍程度に体積が膨張して、膜厚が2~4倍（代表的には3倍）程度に厚くなる様である。

【0058】この様な構造が得られたら、次にゲート電極及び多孔質状アルミナ層をマスクとしてドライエッチング法によりゲート絶縁膜204のエッチングを行う。エッチングガスとしてはCHF₃、ガスを55sccmの流量で用い、圧力55mTorr、供給電力800Wの条件で行う。

【0059】この工程によりゲート絶縁膜204が自己整合的にエッチングされ、211で示される様な島状のパターンに加工される。この時、ゲート絶縁膜の端部（GI端部）212はゲート電極よりも外側に突出した様な形で残る。また、後にソース／ドレイン領域となる活性層が露出した状態となる。

【0060】このエッチング工程が終了したら、マスクとして利用した多孔質状アルミナ層208を45℃に保温したアルミ混酸（リン酸、酢酸、硝酸、水の混合液）溶液を用いて除去する。

【0061】この時、多孔質状アルミナ層208とタンタルオキサイド層209の選択比が大きいので、タンタルオキサイド層209はエッチングされない。この様子は図11に示すSEM写真からも明らかである。

【0062】図11に示すSEM写真は、図10（A）に示す状態から多孔質状アルミナ層15のみを除去した状態を示している。この写真からはタンタルオキサイド層がひさし状に残っていることが確認できる。

【0063】こうして図3（A）の状態が得られたら、1回目の不純物イオン注入工程をイオンインプランター

ション法またはプラズマドーピング法によって行う。まず、1回目は加速電圧を70~85keVと高くして行う。

（図3（B））

【0064】なお、Nチャネル型TFET（NTFT）を作製するならP（リン）またはAs（砒素）を選び、Pチャネル型TFET（PTFT）を作製するならB（ボロン）を選べばよい。本実施例はリンを例にとって説明する。

【0065】この工程は加速電圧が高いためタンタルオキサイド層209とGI端部212を通過して不純物イオンが注入される。即ち、GI端部等で覆われた領域の下にも不純物が添加される。

【0066】そして、この工程においてGI端部212の下に打ち込まれた不純物は後にLDD領域の不純物濃度を決定することになる。従って、イオン注入時のドーズ量はLDD領域が所望の濃度の不純物を含む様に実施者が最適値を設定する必要がある。本実施例ではGI端部212の下に $1 \times 10^{17} \sim 1 \times 10^{18}$ atoms/cm²の濃度でリンが添加される様に調節する。

【0067】以上に示した様な不純物イオン注入工程を行うことで、低濃度不純物領域213、214が形成される。

【0068】この時、GI端部212の上にはタンタルオキサイド層209が存在するため、イオン注入時のダメージが直接ゲート絶縁膜に到達しないという利点がある。即ち、ゲート絶縁膜中に余計なトラップ準位が発生するのを抑制できる。

【0069】次に、5~10keVと低い加速電圧で2回目のイオン注入工程を行う。この工程では加速電圧が低いのでGI端部212が完全にマスクとして機能する（タンタルオキサイド層も存在するため特開平7-135318号公報記載の技術よりもマスク効果が向上している）。

【0070】そのため、この工程では215、216で示される領域（ソース又はドレイン領域）のみに不純物イオンが添加される。本実施例では $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³の濃度でリンが添加される様に調節する。

【0071】また同時に、GI端部212の下には1回目のイオン注入工程で形成された不純物領域がそのまま残り、LDD領域217となる。従って、ソース又はドレイン領域215、216とLDD領域217との接合部はGI端部（タンタルオキサイド層の端部）によって画定する。

【0072】さらに、1回目と2回目の不純物イオン注入工程において全く不純物が注入されなかった領域218は、後にキャリアの移動経路となる真性または実質的に真性なチャネル形成領域となる。

【0073】なお、真性とは電子と正孔が完全に釣り合って完全に中性な領域を指し、実質的に真性な領域とは、しきい値制御が可能な濃度範囲（ $1 \times 10^{15} \sim 1 \times 10^{17}$ atoms/cm³）でN型またはP型を付与する不純物を含

む領域、または意図的に逆導電型不純物を添加することにより導電型を相殺させた領域を指す。

【0074】以上の様にして活性層への不純物イオンの注入が終了したら、レーザーアニール、ランプアニールまたはファーネスアニールによって不純物の活性化を行う。また、同時にイオン注入時のダメージを回復させる。

【0075】次に、層間絶縁膜219を形成する。層間絶縁膜219としては酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機性樹脂膜またはそれらの積層膜を用いることができる。なお、有機性樹脂膜としてはポリイミド、ポリアミド、ポリイミドアミド、アクリル等が挙げられる。

【0076】層間絶縁膜219を形成したら、コンタクトホールを形成してソース電極220、ドレイン電極221を形成する。本実施例ではこれら電極材料としてチタン／アルミ／チタンからなる積層導電層を用いる。

【0077】最後に水素雰囲気中において350℃2時間程度の水素化処理を行い、TFT全体の水素終端処理を行う。こうして図3(D)に示す様な構造のTFTが完成する。こうして作製されたTFTは、ゲート電極とゲート絶縁膜との間にタンタル層が存在するため、作製途中の熱処理によって両者間でショートする様なことを防ぐことができる。

【0078】そのため、非常に高い歩留りでTFTを作製することが可能となり、同一基板上に百万個以上ものTFTを作製するAMLCDを作製においても高い良品率を確保することができる。そして、それに伴って液晶モジュールやそれを搭載した製品（電子機器）の製造コストを低減することが可能である。

【0079】〔実施例2〕実施例1ではNTFTを作製する場合を例にとって説明したが、本願発明をPTFTに対して適用できることは言うまでもない。また、公知のCMOS技術を用いれば、NTFTとPTFTとを相補的に組み合わせたCMOS回路を構成することも容易である。

【0080】本実施例では同一基板上にCMOS回路で構成された駆動回路とNTFTで構成された画素マトリクス回路とを形成したアクティブマトリクス基板を作製した例を図4に示す。

【0081】図4において、NTFT401、PTFT402はCMOS回路403を構成している。前述の様に公知のCMOS技術を用いれば実施例1とほぼ同様の工程で容易に実現できる。

【0082】また、画素マトリクス回路を構成する画素TFT（本実施例ではNTFT）404は実施例1で説明した作製工程に多少の工程を足せば実現できる。

【0083】まず、実施例1の工程に従って図3(D)の構造を得る。次に、図4に示す様に第1の平坦化膜40を形成する。本実施例では窒化珪素(50nm)／酸化珪

素(25nm)／アクリル(1μm)の積層構造を第1の平坦化膜として利用する。

【0084】なお、アクリルやポリイミドといった有機性樹脂膜はスピンコート法で形成する溶液塗布型絶縁膜なので厚い膜を容易に形成できる上、非常に平坦な面を得ることが可能である。そのため、1μm程度の膜厚を高いスループットで形成することが可能であり、良好な平坦面が得られる。

【0085】次に、第1の平坦化膜40上に遮光性導電膜でなるブラックマスク41を形成する。また、ブラックマスク41を形成するに先立って、第1の平坦化膜40をエッチングして、最下層の窒化珪素膜のみを残した凹部を形成しておく。

【0086】この様にしておくことで、凹部を形成した部分ではドレイン電極とブラックマスクとが窒化珪素膜のみを介して近接し、そこで補助容量42を形成する。窒化珪素は比誘電率が高く、しかも膜厚が薄いので大容量を確保しやすい。

【0087】こうしてブラックマスク41を形成すると同時に補助容量42を形成したら、第2の平坦化膜43を1.5μm厚のアクリルで形成する。補助容量42を形成した部分は大きな段差を生じるが、その様な段差も十分に平坦化できる。

【0088】最後に、第1の平坦化膜40及び第2の平坦化膜43にコンタクトホールを形成し、透明導電膜（代表的にはITO）からなる画素電極44を形成する。こうして図4に示す様な画素TFT404を作製することができる。

【0089】なお、画素電極として反射性の高い導電膜、代表的にはアルミニウムまたはアルミニウムを主成分とする材料を用いれば、反射型AMLCD用のアクティブマトリクス基板を作製することもできる。

【0090】また、図4では画素TFTのゲート電極をダブルゲート構造としているが、シングルゲート構造でも良いし、トリプルゲート構造等のマルチゲート構造としても構わない。

【0091】また、アクティブマトリクス基板の構造は本実施例の構造に限定されるものではない。本願発明の特徴はゲート電極の構成にあるので、それ以外の構成については実施者が適宜決定すれば良い。

【0092】〔実施例3〕本実施例では、実施例1と異なる工程でLDD領域を形成する場合の例について図5を用いて説明する。なお、本実施例の構成を実施例2の構成に利用することは可能である。

【0093】まず、実施例1と同様の工程に従って図2(E)の状態を得る。そして、多孔質状アルミナ層208を選択的に除去して図5(A)の状態を得る。この状態ではタンタルオキサイド層209が露出する。

【0094】次に、高加速電圧による不純物イオンの注入工程を行う。この工程は実施例1で説明した様に後の

LDD領域を形成するための工程である。従って、低濃度不純物領域501、502の不純物濃度は $1 \times 10^{17} \sim 1 \times 10^{18}$ atoms/cm³ 程度となる様に調節する。

【0095】なお、実施例1で説明した図3(B)に示す工程と図5(B)に示す工程とは後のソース/ドレイン領域上におけるゲイト絶縁膜の有無が異なる。本実施例の場合、活性層には全てゲイト絶縁膜を介したスルードープによって不純物イオンが注入される。

【0096】スルードープの利点としては工程の短縮化(ゲイト絶縁膜のエッチング工程を省略できる)と活性層に直接イオン注入時のダメージを与えない点にある。

【0097】次に、図5(C)に示す様に低加速電圧による不純物イオンの注入工程を行う。この工程ではタンタルオキサイド層209の存在する領域がマスクとして機能するのでその下には前述の低濃度不純物領域が残る。

【0098】その結果、ソース領域503、ドレイン領域504、LDD領域505、チャネル形成領域506が形成される。この場合もLDD領域505の上にはタンタルオキサイド層209が存在するため、その部分ではG1の受けるイオン注入時のダメージが低減される。

【0099】その後は、実施例1と同様に不純物の活性化を行い、層間絶縁膜507、ソース電極508、ドレイン電極509を形成して、最後に水素化工程を行うことで図5(D)に示す様なTFETが完成する。

【0100】〔実施例4〕本実施例では実施例1において、LDD領域の代わりにオフセット領域を設ける場合の例について図6を用いて説明する。

【0101】まず、実施例1の工程に従って図3(A)の状態を得る。そして、実施例1に示した1回目の不純物イオン注入工程は行わず、図3(C)を用いて説明した様な低加速電圧によるイオン注入工程を行う。(図6(A))

【0102】この注入工程ではタンタルオキサイド層及びゲイト絶縁膜がマスクとして機能するので $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³ の濃度の不純物を含むソース領域601、ドレイン領域602が形成される。

【0103】また、603で示される領域は不純物イオンが添加されないので真性または実質的に真性な状態を保持し、且つ、ゲイト電圧が印加されないので単なる高抵抗領域として機能する。この様な領域603をオフセット領域と呼ぶ。

【0104】実施例1～3で示したLDD領域がドレイン接合部における電界緩和に効果があるのに対し、オフセット領域はむしろオフ電流(TFETがオフ時に流れる電流)またはリーク電流の低減に効果がある。

【0105】この場合においてもタンタルオキサイド層209がゲイト絶縁膜がイオン注入時に受けるダメージの低減という効果を有している。

【0106】また、図6(B)に示す様な構成も可能で

ある。図6(B)ではゲイト絶縁膜を活性層全面に残してスルードープによってソース領域604、ドレイン領域605を形成しているが、この場合にもタンタルオキサイド層209のマスク機能によりオフセット領域606を形成できる。

【0107】なお、本実施例を実施例2の構成に適用することは容易である。

【0108】〔実施例5〕本実施例では、タンタル層の成膜時に膜厚を厚くした場合の構成について図7を用いて説明する。

【0109】図7(A)は実施例1の工程に従って多孔質状アルミナ層の除去までを行った時点を示している。図7(A)において701はタンタル層であり、本実施例では膜厚を150～200 nmと厚めに設定している。

【0110】また、702はタンタルオキサイド層であるが、タンタル層701の膜厚が形成されたタンタルオキサイド層702よりも厚いため、その下に数百nmのタンタル層703が残っている。

【0111】本実施例の場合、この状態で不純物イオンの注入工程を行うことになるが、突出したタンタル層703は加速電圧によらずほぼ完全にマスクとして機能するためその下方にはオフセット領域が形成される。

【0112】この場合、イオン注入時においてゲイト絶縁膜704に達するダメージをほぼ完全に防ぐことができるため、ゲイト絶縁膜704に余計なトラップ準位等を発生させることがない。そのため、より劣化の少ない信頼性の高いTFETを実現することができる。

【0113】なお、図7(B)に示す様に、ゲイト絶縁膜705を完全に残してスルードープを行う場合においても、同様の効果を得ることができる。

【0114】なお、本実施例を実施例2の構成に適用することは容易である。

【0115】〔実施例6〕本実施例では実施例1～5に示した構成を含むアクティブマトリクス基板(素子形成側基板)を用いてAMLCDを構成した場合の例について説明する。ここで本実施例のAMLCDの外観を図8に示す。

【0116】図8(A)において、801はアクティブマトリクス基板であり、画素マトリクス回路802、ソース側駆動回路803、ゲイト側駆動回路804が形成されている。駆動回路はN型TFETとP型TFETとを相補的に組み合わせたCMOS回路で構成することが好ましい。また、805は対向基板である。

【0117】図8(A)に示すAMLCDはアクティブマトリクス基板801と対向基板805とが端面を揃えて貼り合わされている。ただし、ある一部だけは対向基板805を取り除き、露出したアクティブマトリクス基板に対してFPC(フレキシブル・プリント・サーキット)806を接続してある。このFPC806によって外部信号を回路内部へと伝達する。

【0118】また、FPC806を取り付ける面を利用してICチップ807、808が取り付けられている。これらのICチップはビデオ信号の処理回路、タイミングパルス発生回路、 γ 補正回路、メモリ回路、演算回路など、様々な回路をシリコン基板上に形成して構成される。図8(A)では2個取り付けられているが、1個でも良いし、さらに複数個であっても良い。

【0119】また、図8(B)の様な構成もとりうる。図8(B)において図8(A)と同一の部分は同じ符号を付してある。ここでは図8(A)でICチップが行っていた信号処理を、同一基板上にTFTでもって形成されたロジック回路809によって行う例を示している。この場合、ロジック回路809も駆動回路803、804と同様にCMOS回路を基本として構成される。

【0120】また、本実施例のAMLCDはブラックマスクをアクティブマトリクス基板に設ける構成(BMon TFT)を採用するが、それに加えて対向側にブラックマスクを設ける構成とすることも可能である。

【0121】また、カラーフィルターを用いてカラー表示を行っても良いし、ECB(電界制御複屈折)モード、GH(ゲストホスト)モードなどで液晶を駆動し、カラーフィルターを用いない構成としても良い。

【0122】また、特開昭8-15686号公報に記載された技術の様に、マイクロレンズアレイを用いる構成にしても良い。

【0123】〔実施例7〕本願発明の構成は、AMLCD以外にも他の様々な電気光学装置や半導体回路に適用することができる。

【0124】AMLCD以外の電気光学装置としてはEL(エレクトロルミネッセンス)表示装置やイメージセンサ等を挙げることができる。

【0125】また、半導体回路としては、ICチップで構成されるマイクロプロセッサの様な演算処理回路、携帯機器の入出力信号を扱う高周波モジュール(MMICなど)が挙げられる。

【0126】この様に本願発明は絶縁ゲイト型TFTで構成される回路によって機能する全ての半導体装置に対して適用することが可能である。

【0127】〔実施例8〕実施例6に示したAMLCDは、様々な電子機器のディスプレイとして利用される。なお、本実施例に挙げる電子機器とは、アクティブマトリクス型液晶表示装置を搭載した製品と定義する。

【0128】その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ(ノート型を含む)、携帯情報端末(モバイルコンピュータ、携帯電話等)などが挙げられる。それらの一例を図9に示す。

【0129】図9(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装

置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明は音声出力部2002、音声入力部2003、表示装置2004等に適用することができる。

【0130】図9(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明は表示装置2102、音声入力部2103、受像部2106に適用することができる。

【0131】図9(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は受像部2203、表示装置2205等に適用できる。

【0132】図9(D)はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本発明は表示装置2302に適用することができる。

【0133】図9(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0134】図9(F)はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0135】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、他にも電光掲示盤、宣伝広告用ディスプレイなどにも活用することができる。

【0136】

【発明の効果】本願発明を利用することでゲイト電極としてアルミニウムまたはアルミニウムを主成分とする材料を用いるTFTにおいても、ゲイト電極と活性層との間で生じるショートなどの不良を防止することができる。

【0137】また、ゲイト絶縁膜に余計なダメージを与えることなくLDD領域やオフセット領域を形成できるため、TFTの長期信頼性も向上する。

【0138】従って、高い歩留りで信頼性の高いTFTを作製することができ、その様なTFTで構成される半導体回路で機能する電気光学装置並びにその様な半導体回路や電気光学装置を搭載した電子機器の歩留り向上が実現する。

【図面の簡単な説明】

【図1】 TFTのゲイト電極付近の構成を示す図。

【図2】 TFTの作製工程を示す図。

10

20

30

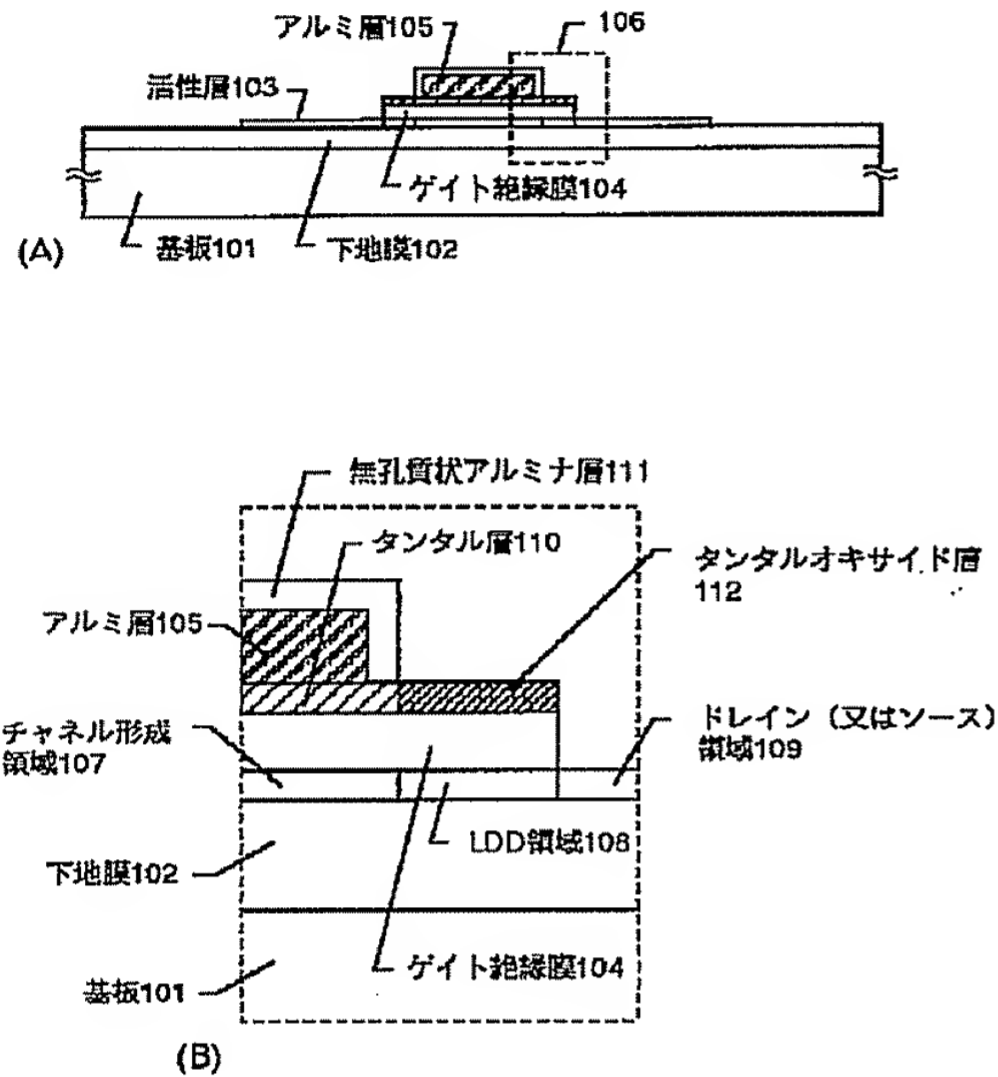
40

50

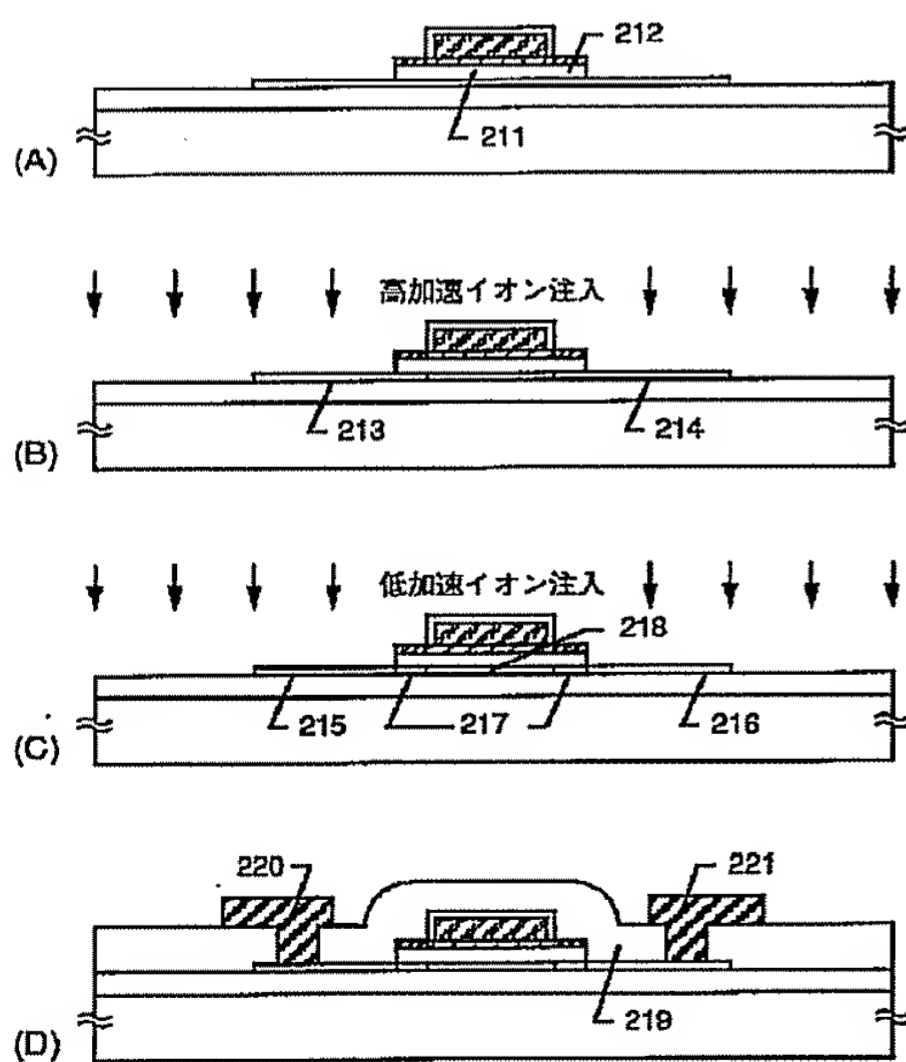
17

- 【図 3】 TFTの作製工程を示す図。
 【図 4】 アクティブマトリクス基板の構成を示す図。
 【図 5】 TFTの作製工程を示す図。
 【図 6】 TFTの作製工程を示す図。

【図 1】



【図 3】

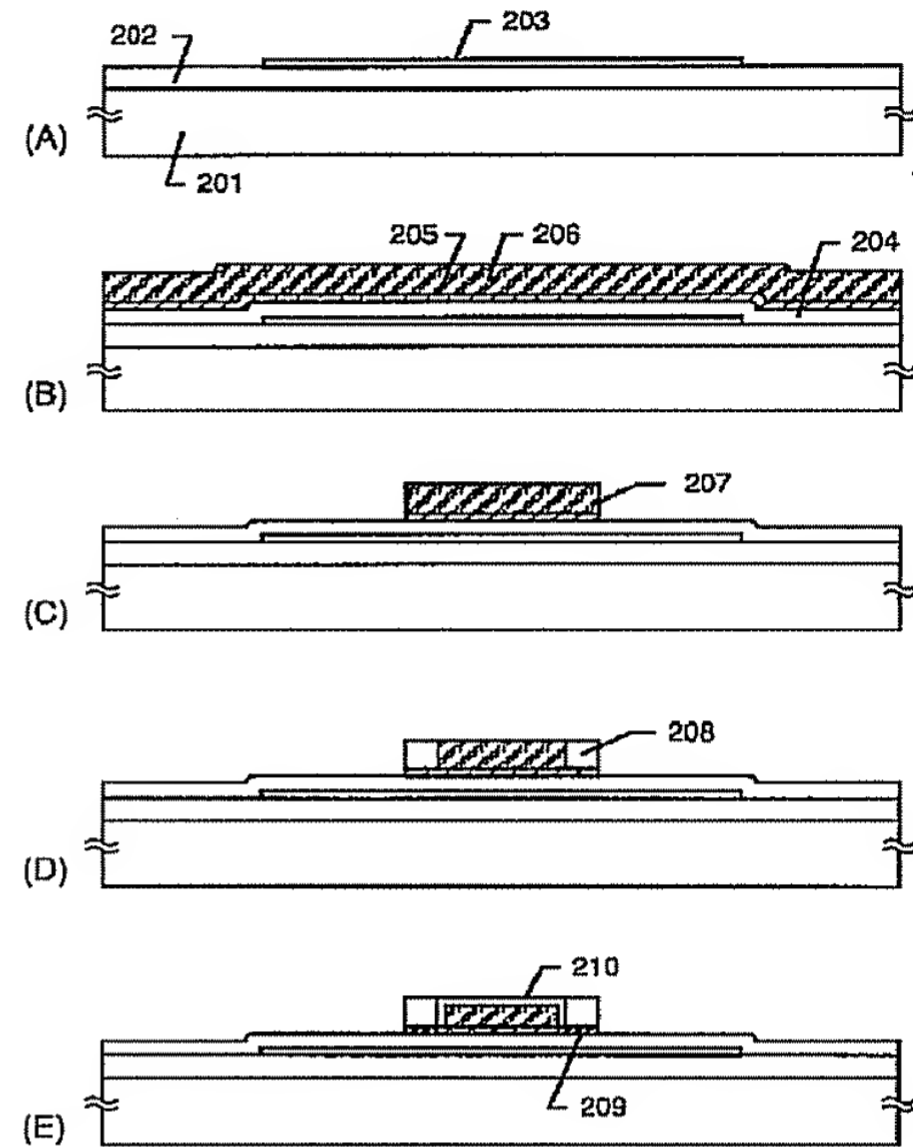


211: ゲイト絶縁膜 212: GI端部 213、214: 低濃度不純物領域
 215: ソース領域 216: ドレイン領域 217: LDD領域
 218: チャンネル形成領域 219: 層間絶縁膜 220: ソース電極
 221: ドレイン電極

18

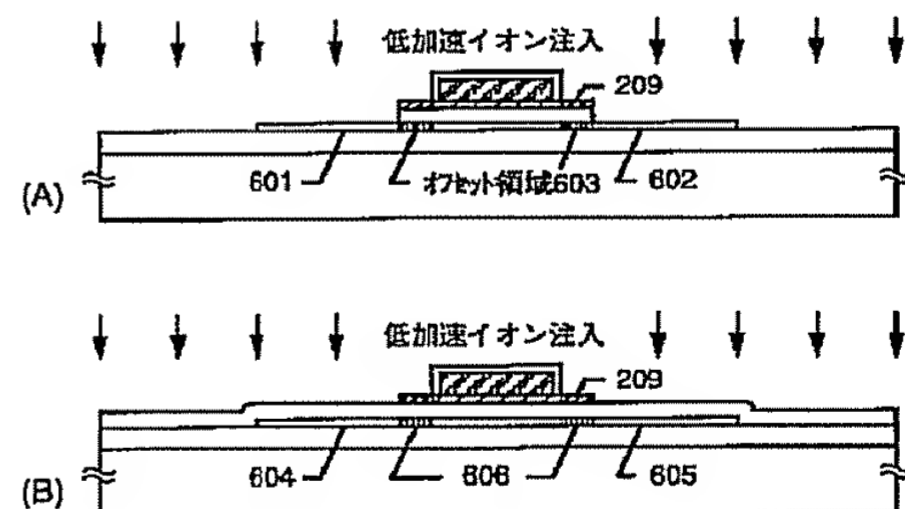
- 【図 7】 TFTのゲイト電極付近の構成を示す図。
 【図 8】 AMLCDの構成を示す図。
 【図 9】 電子機器の構成を示す図。
 【図 10】 ゲイト電極付近の構造を示すSEM写真。
 【図 11】 ゲイト電極付近の構造を示すSEM写真。

【図 2】

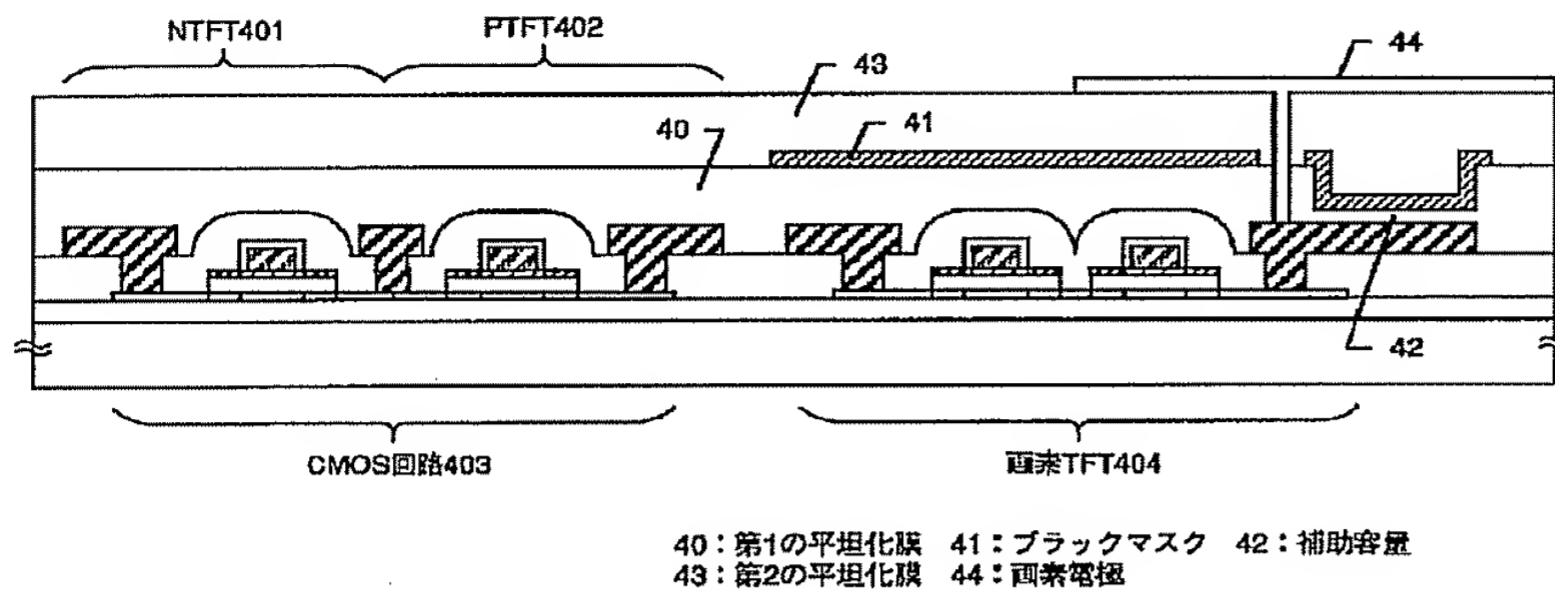


201: 基板 202: 下地膜 203: 活性層 204: ゲイト絶縁膜
 205: タンタル層 206: アルミニウム層 207: 積層パターン
 208: 多孔質状アルミナ膜 209: タンタルオキサイド膜
 210: 無孔質状アルミナ膜

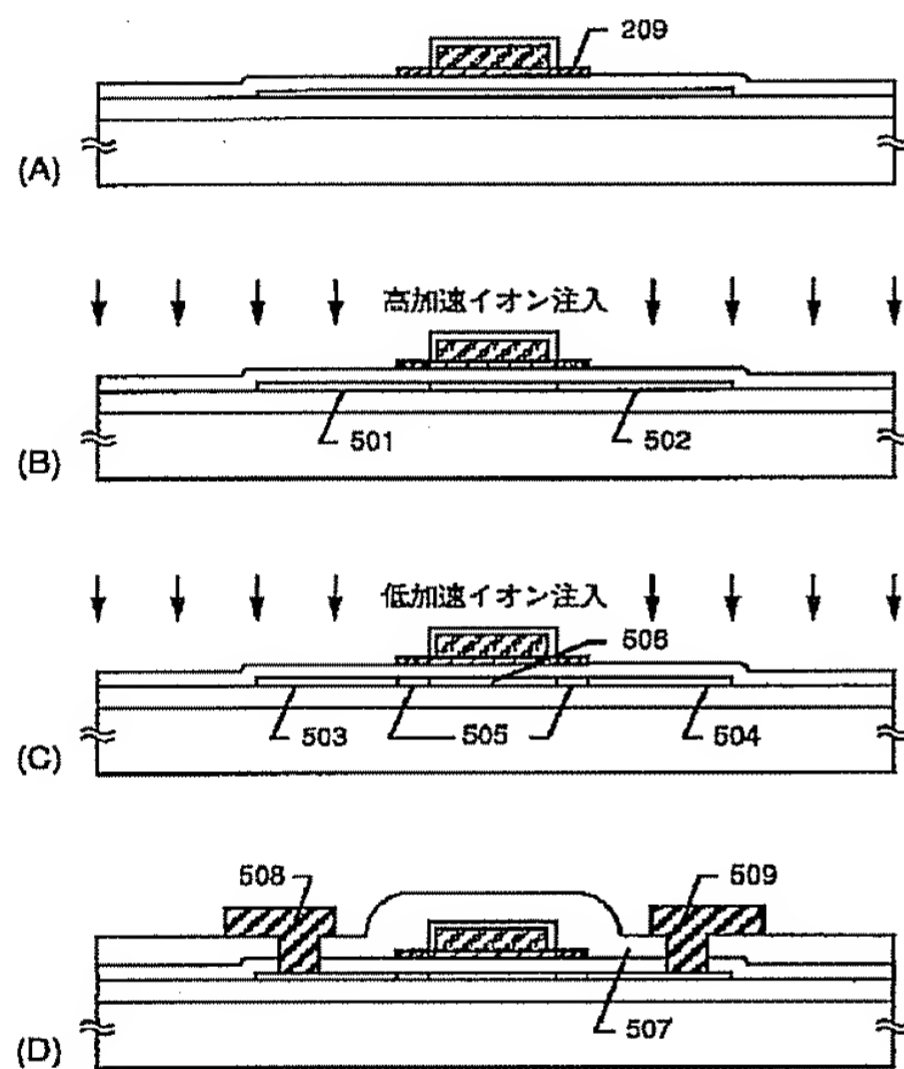
【図 6】



【図 4】

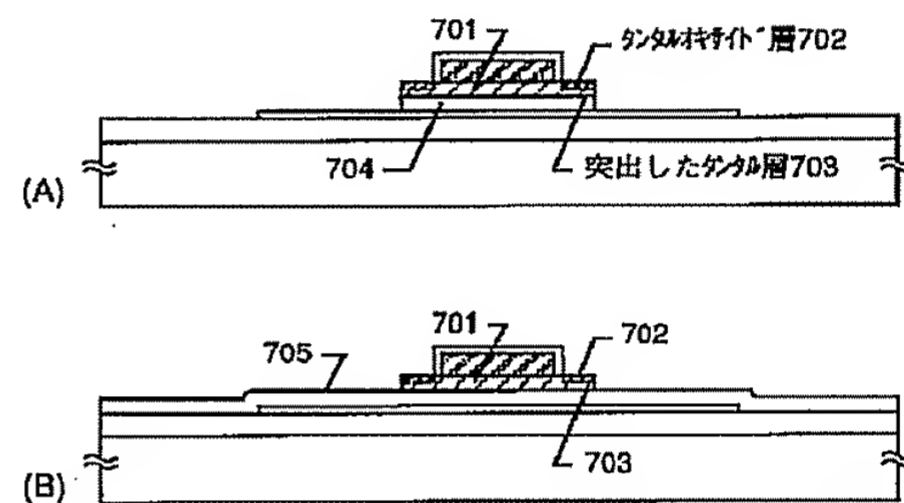


【図 5】

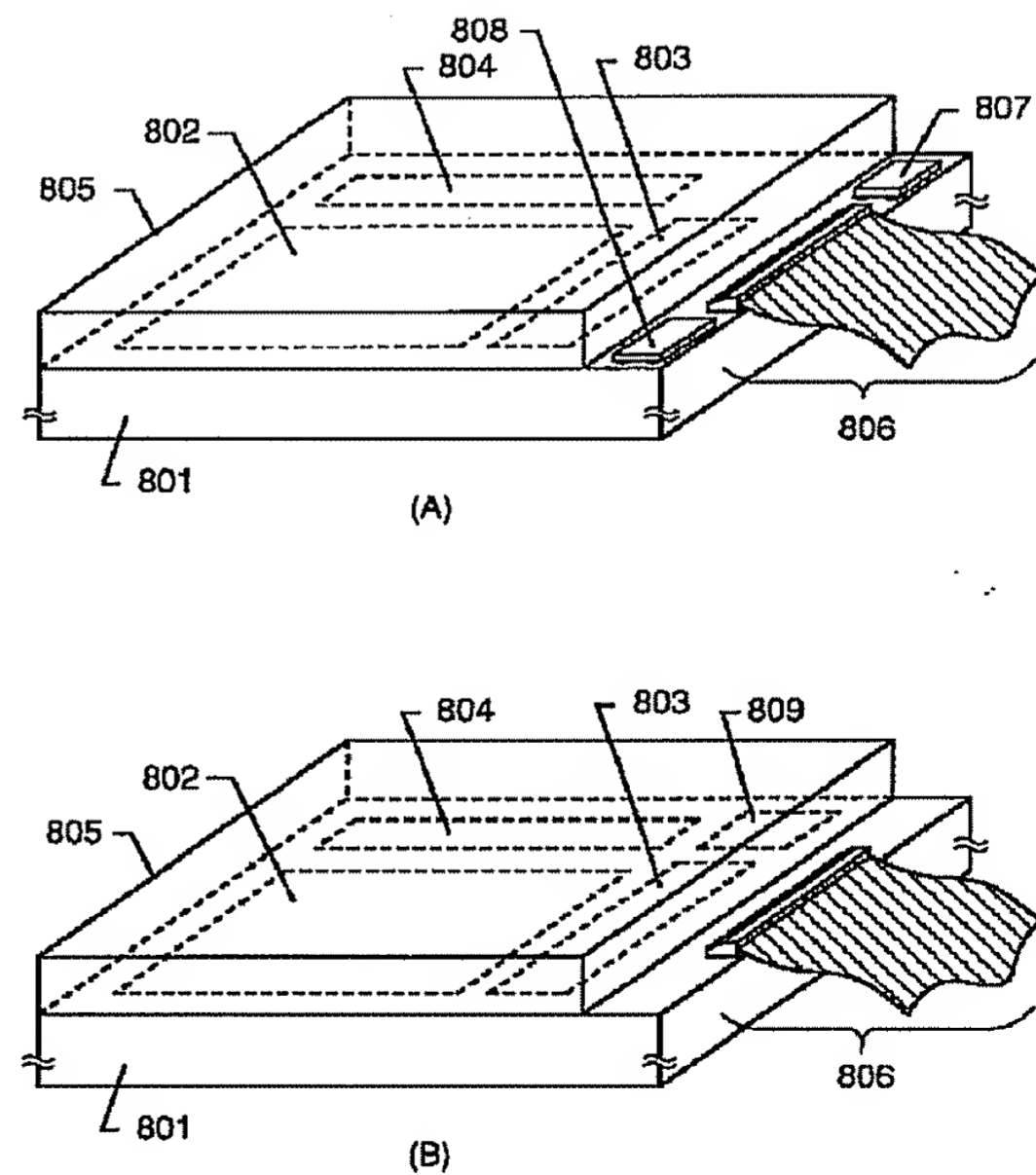


204: ゲート絶縁膜 209: タンタルオキシド層
501, 502: 低濃度不純物領域 503: ソース領域
504: ドレイン領域 505: LDD領域 506: チャンネル形成領域
507: 層間絶縁膜 508: ソース電極 509: ドレイン電極

【図 7】

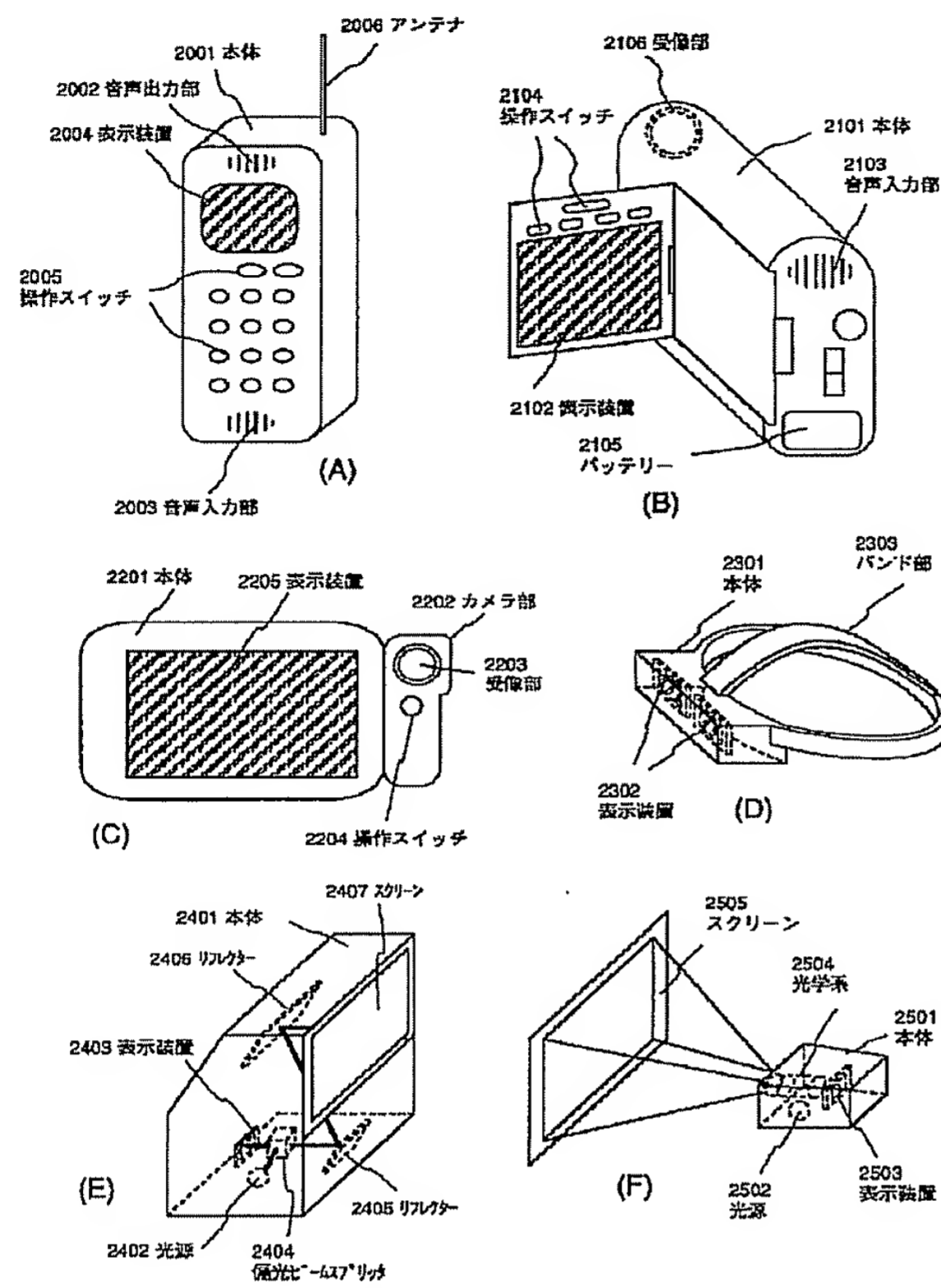


【図 8】



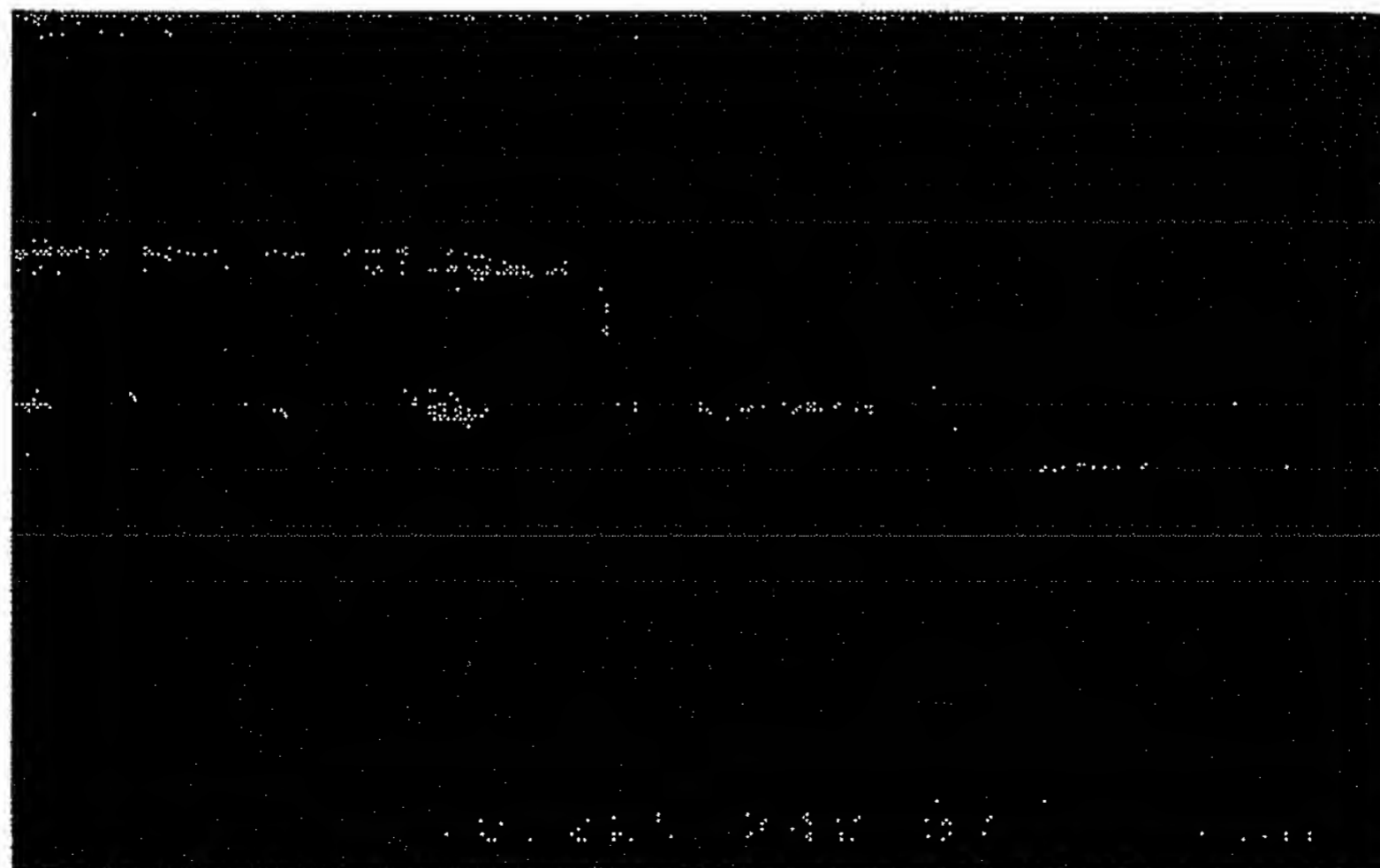
801: アクティブマトリクス基板 802: 画素マトリクス回路
803: ソース側駆動回路 804: ゲート側駆動回路 805: 対向基板
806: FPC 807, 808: ICチップ 809: ロジック回路

【図 9】



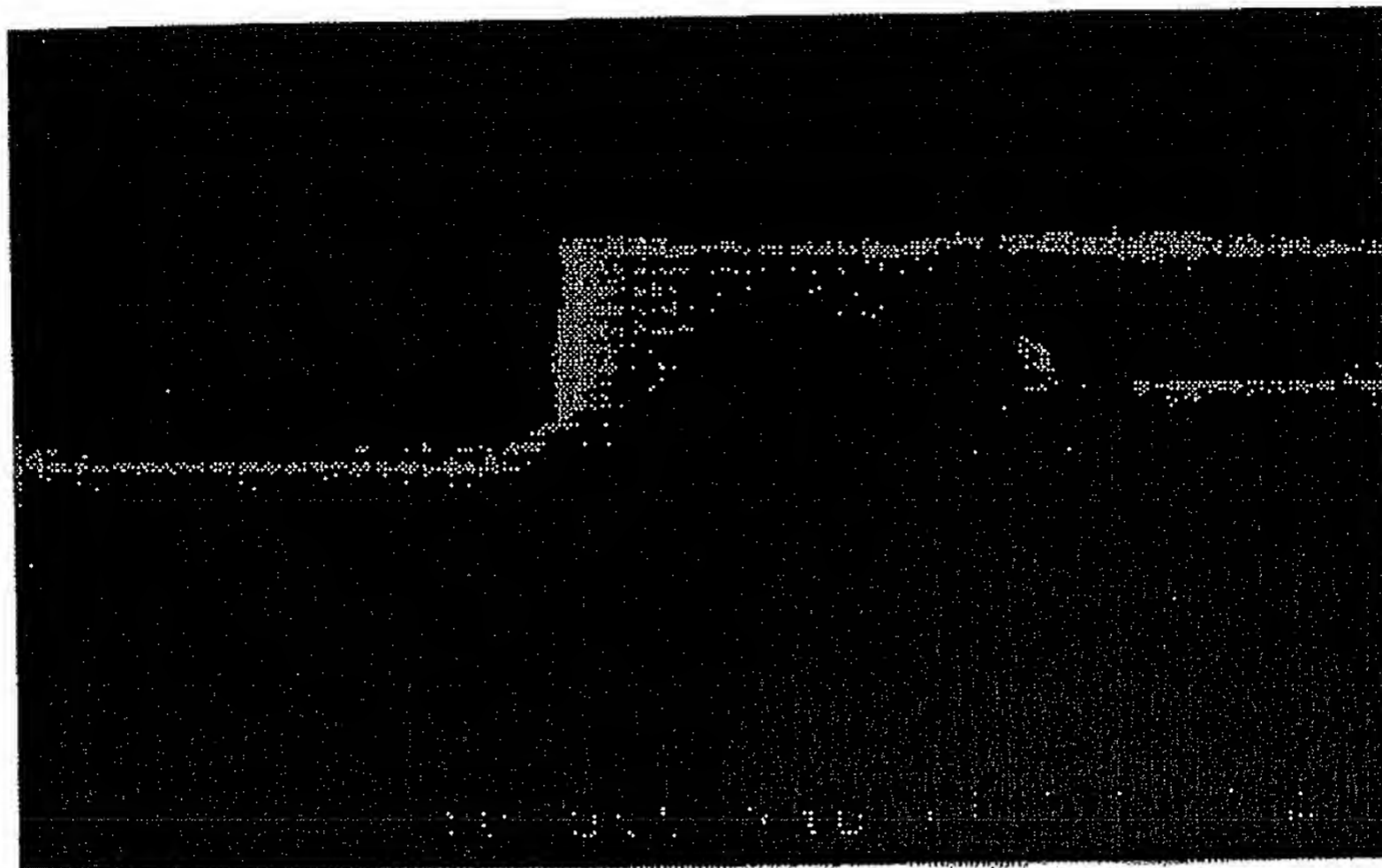
【図 1 1】

図面代用写真

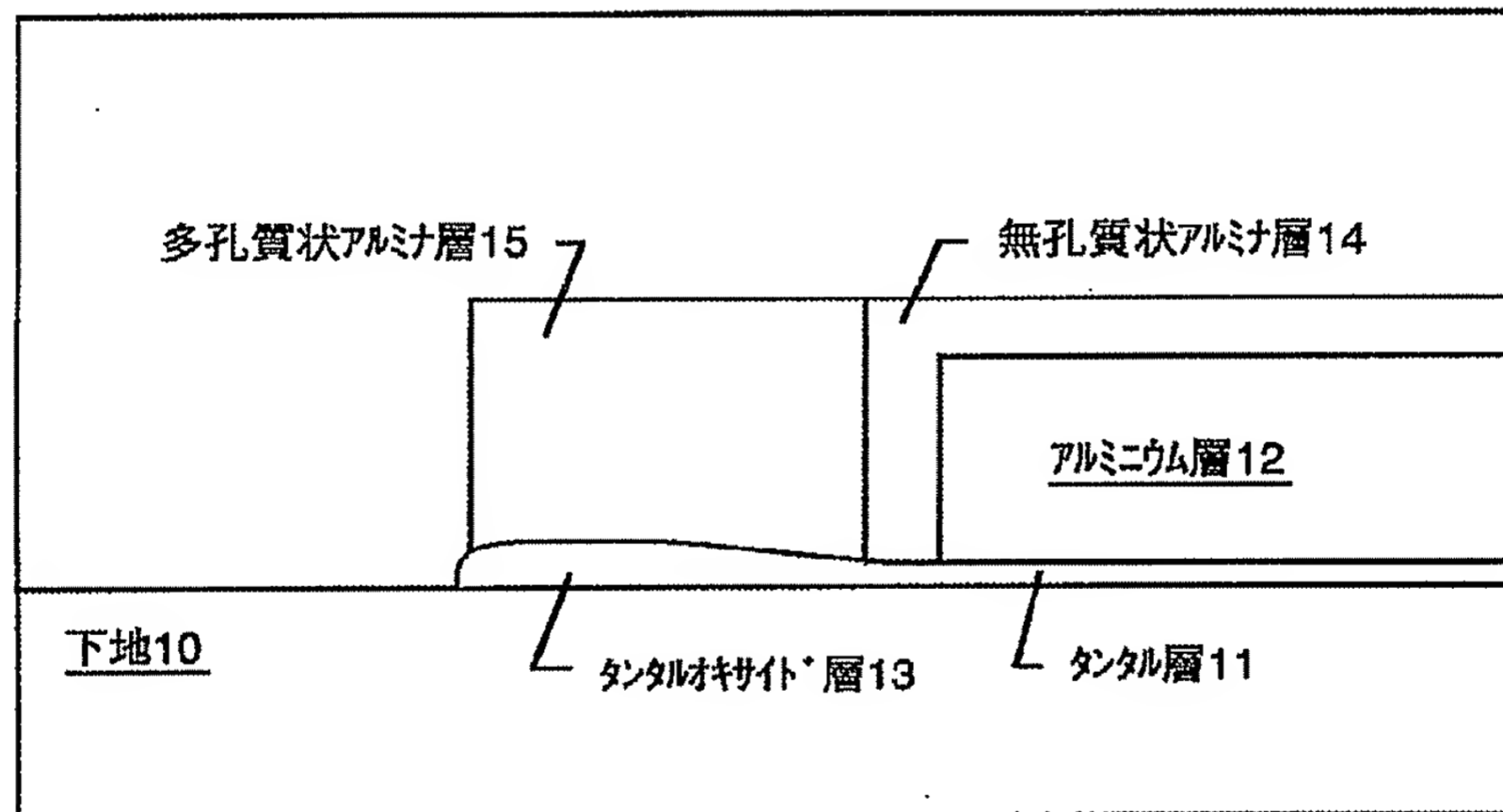


【図 1 0】

図面代用写真



(A)



(B)